

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060669

(43)Date of publication of application : 06.03.2001

(51)Int.Cl. H01L 27/10
H01L 21/316
H01L 21/768
H01L 27/108
H01L 21/8242

(21)Application number : 2000-170333

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.06.2000

(72)Inventor : ITO AKIO

(30)Priority

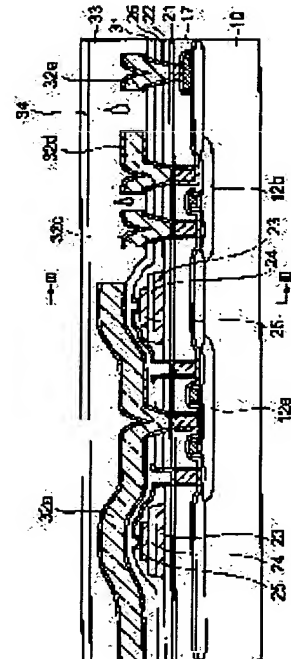
Priority number : 11170667 Priority date : 17.06.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing method, which is capable of avoiding reduction in a ferroelectric material or a high dielectric material, even if a CMP(chemical mechanical polishing) process is employed in the manufacture of a semiconductor device, where a ferroelectric material or high dielectric material is used and applied to the manufacture of an FeRAM (nonvolatile semiconductor memory) and a DRAM (volatile semiconductor memory) or a system LSI, where the memory elements and logic elements are mounted mixedly.

SOLUTION: A capacitor composed of an upper electrode 25, a dielectric film 24 of a ferroelectric material or high dielectric material, and a lower electrode 23 is provided. Furthermore, an interlayer insulating film 33 is formed above the capacitor, and the surface of the interlayer insulating film 33 is planarized through a CMP method. Then, the interlayer insulating film 33 is subjected to plasma annealing using N₂O gas, through which moisture attached to the surface of the interlayer insulating film 33 and contained in the insulating film 33 are removed. Thereafter, a redeposition interlayer insulating film 34 is formed on the interlayer insulating film 33.



LEGAL STATUS

[Date of request for examination]

07.06.2000

[Date of sending the examiner's decision of

7

1

-

-

"

"

-

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3260737

[Date of registration] 14.12.2001

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-60669
(P2001-60669A)

(43) 公開日 平成13年3月6日 (2001.3.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
	4 8 1		4 8 1
21/316		21/316	M
21/768		21/90	A
27/108			M

審査請求 有 請求項の数19 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2000-170333 (P2000-170333)
(22) 出願日 平成12年6月7日 (2000.6.7)
(31) 優先権主張番号 特願平11-170667
(32) 優先日 平成11年6月17日 (1999.6.17)
(33) 優先権主張国 日本 (J P)

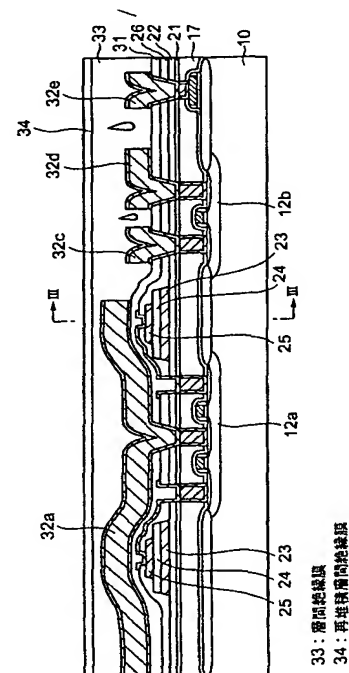
(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 伊藤 昭男
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74) 代理人 100091672
弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 強誘電体材料又は高誘電体材料を用いた半導体装置の製造にCMP研磨工程を使用しても強誘電体材料又は高誘電体材料の還元を回避でき、FeRAM及びDRAM又はこれらのメモリ素子とロジック素子とを混載したシステムLSIの製造に適用できる半導体装置の製造方法を提供する。

【解決手段】 上部電極25、強誘電体材料又は高誘電体材料からなる誘電体膜24及び下部電極23からなるキャパシタを形成し、さらに、キャパシタの上方に層間絶縁膜33を形成し、その層間絶縁膜33をCMP研磨して表面を平坦化し、次いで、N₂Oガスをを用いたプラズマアニールを施し、層間絶縁膜33の表面に付着した水分、及び層間絶縁膜33中の水分を除去し、その後、層間絶縁膜33の上に、再堆積層間絶縁膜34を形成する。



33: 層間絶縁膜
34: 再堆積層間絶縁膜

【特許請求の範囲】

【請求項 1】半導体基板に形成された第 1 の不純物領域及び第 2 の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、

前記トランジスタを覆う第 1 の絶縁膜と、

前記第 1 の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、

前記キャパシタの上に形成され、且つ平坦化された表面を有し、少なくとも該表面に窒素を含むシリコン酸化膜とを有することを特徴とする半導体装置。

【請求項 2】前記シリコン酸化膜の内部には、空洞が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記キャパシタと前記シリコン酸化膜の間には、前記キャパシタ上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された配線とを有することを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】前記シリコン酸化膜の上には、第 2 の絶縁膜が形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 5】半導体基板に形成された第 1 の不純物領域及び第 2 の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、

前記トランジスタを覆う第 1 の絶縁膜と、

前記第 1 の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、

前記キャパシタの上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜の上に形成され、前記キャパシタの前記上部電極と前記第 1 の不純物領域とを接続する局所配線と、

前記局所配線と前記第 2 の絶縁膜の上に形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜の上に形成され、且つ前記第 1、第 2 及び第 3 の絶縁膜に形成されたホールを通して前記第 2 の不純物領域に接続される第 1 の配線と、

前記第 1 の配線の上に形成され、且つ平坦化された上面を有する第 4 の絶縁膜と、

前記第 4 の絶縁膜上に形成された第 2 の配線とを有することを特徴とする半導体装置。

【請求項 6】前記第 4 の絶縁膜の内部には、前記第 4 の絶縁膜の前記上面から一部が露出する空洞が形成されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】前記空洞は、複数の前記キャパシタの間の領域に存在することを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】前記第 4 の絶縁膜の上には、前記第 4 の絶縁膜の前記上面から露出する前記空洞を覆う第 5 の絶縁膜が形成されていることを特徴とする請求項 6 に記載の

半導体装置。

【請求項 9】前記第 2 の配線は、前記第 4 の絶縁膜に形成されたホールを通して前記第 1 の配線に接続されていることを特徴とする請求項 5 又は請求項 6 に記載の半導体装置。

【請求項 10】前記第 3 及び第 4 の絶縁膜は、シリコン酸化膜であることを特徴とする請求項 5 又は請求項 6 に記載の半導体装置。

【請求項 11】前記第 1 の絶縁膜の上面は、平坦化された面であることを特徴とする請求項 5 又は請求項 6 に記載の半導体装置。

【請求項 12】半導体基板に形成された第 1 の不純物領域及び第 2 の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、

前記トランジスタを覆う第 1 の絶縁膜と、

前記第 1 の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、

前記キャパシタの上に形成された第 2 の絶縁膜とを有し、

前記第 2 の絶縁膜の表面は、平坦化されているとともに、

プラズマ処理されていることを特徴とする半導体装置。

【請求項 13】半導体基板にトランジスタを形成する工程と、

前記トランジスタを覆う第 1 の絶縁膜を、前記半導体基板の上に形成する工程と、

強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜と該誘電体膜を挟む上部電極と下部電極とを有するキャパシタを前記第 1 の絶縁膜の上に形成する工程と、

前記キャパシタの上方に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜を研磨してその上面を平坦化する工程と、

プラズマアニールによって前記第 2 の絶縁膜の脱水処理を施す工程とを有することを特徴とする半導体装置の製造方法。

【請求項 14】前記プラズマアニールは、 N_2O 、 N_2 、 N 、 O_2 のいずれかの単体又はこれらの混合ガスをプラズマ化して行われることを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 15】前記第 2 の絶縁膜は、 TEOS ガスを用いるプラズマ CVD 法により形成されることを特徴とする請求項 13 又は請求項 14 に記載の半導体装置の製造方法。

【請求項 16】前記第 2 の絶縁膜には空洞が形成されることを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 17】前記空洞の上部は、前記第 2 の絶縁膜を研磨することによって露出することを特徴とする請求項

16に記載の半導体装置の製造方法。

【請求項18】前記脱水処理工程の後に、前記第2の絶縁膜の上に第3の絶縁膜を形成する工程を有することを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【請求項19】前記キャパシタと前記第2の絶縁膜の間に、前記キャパシタを覆う第4の絶縁膜を形成する工程と、

前記第2の絶縁膜と前記第4の絶縁膜の間に下側配線を形成する工程とを有することを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタの誘電体膜に強誘電体材料を用いた不揮発性半導体メモリ（FeRAM: Ferroelectric Random Access Memory）、又はキャパシタの誘電体膜に高誘電体材料を用いた揮発性半導体メモリ（DRAM: Dynamic Random Access Memory）、又はこれらのメモリ素子とロジック素子とを混載したシステムLSIに代表される半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、低消費電力の不揮発性半導体メモリとしてキャパシタの誘電体膜に強誘電体材料を用いたFeRAMが注目されている。また、近年、半導体メモリの微細化及び高集積化が要求されており、その要求にこたえるべくキャパシタの誘電体膜に高誘電体材料を用いたDRAMが開発されている。

【0003】これらのFeRAMの強誘電体材料、DRAMの高誘電体材料として、それぞれ金属酸化物が通常使用されている。そのような強誘電体材料、高誘電体材料は還元性雰囲気になく、特に強誘電体材料では分極特性が劣化しやすいという性質がある。強誘電体材料の分極特性の劣化を防止する方法として、特開平9-307074号公報には、キャパシタの上にスパッタ酸化シリコン又はSOG(Spin-On-Glass)のいずれかの下層絶縁膜を形成した後に、下層絶縁膜の上にオゾンとTEOS(tetraethoxysilane: $\text{Si}(\text{OC}_2\text{H}_5)_4$)から酸化シリコンの上層絶縁膜を形成することにより、キャパシタの誘電体膜の還元を防止することが記載されている。また、特開平10-275897号公報には、メタルCVD(Chemical Vapor Deposition)装置やMO(Metal Organic)CVD装置を用いた還元性雰囲気中で配線用導電膜を形成するのではなく、配線用導電膜をDCスパッタにより形成することにより、配線用導電膜の下方のキャパシタの分極特性の劣化を防止することが記載されている。この公報には、TEOSを使用してプラズマCVD法によってキャパシタの上に SiO_2 膜を形成し、この SiO_2 膜に形成したホールを通してキャパシタの上部電極に配線を接続

することが記載されている。

【0004】また、特開平11-238855号公報には、キャパシタを覆う薄い絶縁膜に形成されたホールを通してキャパシタ上部電極に薄い導電パターン（配線）を接続し、さらにその導電パターンを覆う絶縁膜の上に厚いアルミニウム配線パターンを形成し、そのアルミニウム配線パターンをさらに絶縁膜で覆う構造が記載されている。

【0005】

10 【発明が解決しようとする課題】しかし、特開平11-238855号公報では、ビット線として使用されるアルミニウム配線パターンの膜厚が厚いので、その上に形成される層間絶縁膜の表面の凹凸の段差が大きくなる。そして、アルミニウム配線パターンを覆う層間絶縁膜の凹凸が大きくなると、その層間絶縁膜上に上部配線を形成するためのフォトリソグラフィ工程では、露光の際の焦点がデフォーカスになり易く、上部配線のパターン精度が低下するといった問題が生じる。特に、プラズマCVD法により層間絶縁膜を形成する場合に、層間絶縁膜の表面の凹凸の段差が大きくなりやすい。

20 【0006】これに対して、表面の凹凸の段差が小さなHDP(High Density Plasma)膜を形成することも考えられるが、そのHDP膜を形成する際には水素が絶縁膜に入ってキャパシタの酸化物誘電体膜を還元するおそれがある。本発明の目的は、強誘電体材料又は高誘電体材料を用いたキャパシタとビット線のさらに上方に形成される配線を精度良く形成するとともに、キャパシタの劣化を防止するための半導体装置及びその製造方法を提供することにある。

30 【0007】

【課題を解決するための手段】上記した課題は、半導体基板に形成されたトランジスタと、トランジスタを覆う第1の絶縁膜の上に形成されたキャパシタと、キャパシタの上に第2の絶縁膜を介して形成された局所配線と、局所配線を覆う第3の絶縁膜の上に形成された第1の配線と、第1の配線の上に形成され且つ平坦化された上面を有する第4の絶縁膜と、第4の絶縁膜の上に形成された第2の配線とを有する半導体装置によって解決される。

40 【0008】本発明によれば、強誘電体材料又は高誘電体材料を用いたキャパシタとその上に絶縁膜を介して形成された第1の配線と、第1の配線の上に形成された上面が平坦化された絶縁膜と、絶縁膜の上に形成された第2の配線とを有している。これにより、強誘電体膜又は高誘電体膜を有するキャパシタの上方に形成される第2の配線のパターンは精度良く形成される。

50 【0009】また、上記した課題は、半導体基板の上方に、強誘電体材料又は高誘電体材料からなる誘電体膜を備えたキャパシタを形成し、このキャパシタの上方に第1の絶縁膜を形成し、さらに第1の絶縁膜を研磨してそ

の上面を平坦化し、その後に第1の絶縁膜に対してプラズマアニールによる脱水処理を施すことを特徴とする半導体装置の製造方法により解決する。

【0010】本発明によれば、誘電体膜として強誘電体材料又は高誘電体材料を用いたキャパシタを形成した後、その上方に第1の絶縁膜を形成し、この第1の絶縁膜を例えばCMP法により平坦化する工程を有している。研磨工程では、研磨剤中の水分や洗浄液中の水分が第1の絶縁膜の表面に付着するだけでなく、第1の絶縁膜中にも水分が侵入する。第1の絶縁膜表面に付着した水分と、第1の絶縁膜中に侵入した水分とを除去するために、本発明においては、例えば N_2O ガス又は NO ガスのプラズマ雰囲気中でのアニールによって第1の絶縁膜の研磨面から脱水処理を施している。

【0011】ところで、脱水のための熱処理として電気炉を用いる場合には、第1の絶縁膜の下層に金属配線層があるため、電気炉内のアニールは例えばアルミニウムの耐熱温度 450°C 以下に限定される。このような低温の単なる熱処理では脱水処理の効果が不十分である。これに対して、本発明のように、プラズマアニールを用いると、 450°C 以下の低温でより確実に絶縁膜から水分を除去することが可能であり、かつ、このような低温では金属配線層が酸化してしまうという問題も発生しない。

【0012】従って、そのようなプラズマアニールでは、単なる熱処理に比べて第1の絶縁膜の中の水分をより確実に除去することができる。これにより、第1の絶縁膜の表面又はその中の水分に起因する強誘電体膜又は高誘電体膜の還元やキャパシタの劣化が防止され、良好なFeRAM又はDRAMを製造することができる。 N_2O ガス又は NO ガスのプラズマアニールによれば、第1の絶縁膜がシリコン酸化膜から形成されている場合に、少なくともその表面には窒素が含まれることになる。

【0013】CMP法で平坦化が行われた第1の絶縁膜の中に空洞（ス、ポイド又はキーホール）が形成されている場合には、その空洞が研磨面から溝状に露出してしまうことがある。そして、その研磨面上に配線層を形成した場合には、配線層を構成する導電材料が空洞内に入って、空洞を横切る複数の配線同士を短絡するおそれがある。このため、第1の絶縁膜の研磨面上に第2の絶縁膜を形成して、第1の絶縁膜の研磨面に溝状に露出した空洞を第2の絶縁膜で覆ったり、埋めたりすることが好ましい。

【0014】上記の効果を確実に得るためには、第2の絶縁膜の厚さを 100nm 以上とすることが好ましい。また、研磨面から露出する空洞の幅がばらついて、その空洞の一部が第2の絶縁膜によって覆われない部分が発生すると、第2の絶縁膜の上に形成される金属膜には空洞の上でスリットが形成されるおそれがある。金属膜にスリットが存在すると、そのスリットを通して第1の絶

縁膜内に水素が入ってキャパシタを劣化するおそれがある。そこで、金属膜にスリットが形成されることを防止するためには、第2の絶縁膜の膜厚を少なくとも 300nm にすることが好ましい。

【0015】なお、第1の絶縁膜の上に第2の絶縁膜を形成し、その後に上記のプラズマアニールを施してもよい。この場合、第1及び第2の絶縁膜の絶縁特性の劣化を回避できるとともに、第1の絶縁膜及び第2の絶縁膜中の水分を同時に除去することができる。

10 【0016】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。図1～図16は本発明の一実施形態の半導体装置の製造方法を工程順に示す断面図である。なお、本実施形態の半導体装置としてFeRAMを例に挙げて説明する。

【0017】まず、図1に示す断面構造を得るまでの工程を説明する。図1に示すように、p型シリコン（半導体）基板10表面に、LOCOS（Local Oxidation of Silicon）法により素子分離絶縁膜11を選択的に形成する。素子分離絶縁膜11の形成はLOCOS法の他、STI（Shallow Trench Isolation）を採用してもよい。

【0018】そのような素子分離絶縁膜11を形成した後、シリコン基板10のメモリセル領域1、周辺回路領域2における所定の活性領域（トランジスタ形成領域）にp型不純物及びn型不純物を選択的に導入して、pウェル12a及びnウェル12bを形成する。なお、図1には示していないが、周辺回路領域2ではCMOSを形成するためにpウェル（不図示）も形成される。

【0019】その後、シリコン基板10の活性領域表面を熱酸化して、ゲート絶縁膜10aとしてシリコン酸化膜を形成する。次に、シリコン基板10の上側全面にアモルファスシリコン膜及びタングステンシリサイド膜を順次形成し、これらのアモルファスシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターニングして、ゲート電極13a～13c及び配線14を形成する。なお、ゲート電極13a～13cを構成するアモルファスシリコン膜の代わりにポリシリコン膜を形成してもよい。

【0020】メモリセル領域1では、1つのpウェル12a上には2つのゲート電極13a、13bがほぼ平行に配置され、それらのゲート電極13a、13bはワード線WLの一部を構成する。次に、メモリセル領域1において、ゲート電極13a、13bの両側のpウェル12a内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース・ドレインとなるn型不純物拡散領域15aを形成する。これと同時に、周辺回路領域2のpウェル（不図示）にもn型不純物拡散領域を形成してもよい。続いて、周辺回路領域2において、ゲート電極13cの両側のnウェル12bにp型不純物をイオン注入して、pチャネルMOSトランジスタのソース・

ドレインとなる p 型不純物拡散領域 15b を形成する。n 型不純物と p 型不純物の打ち分けは、レジストパターンを使用して行われる。

【0021】その後、シリコン基板 10 の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極 13a ~ 13c 及び配線 14 の両側部分にのみ側壁絶縁膜 16 として残す。その絶縁膜として、例えば CVD 法により酸化シリコン (SiO_2) を形成する。次に、プラズマ CVD 法によりシリコン基板 10 の全面に、カバー膜 3 として酸化シリコン (SiON) 膜を約 200 nm の厚さに形成する。その後、TEOS ガスを用いるプラズマ CVD 法により、カバー膜 3 の上に酸化シリコン (SiO_2) を約 1.0 μm の厚さに成長させ、これにより第 1 の層間絶縁膜 17 を形成する。なお、TEOS を用いてプラズマ CVD 法により形成される SiO_2 膜を、以下に TEOS 膜ともいう。

【0022】続いて、第 1 の層間絶縁膜 17 の緻密化処理として、常圧の窒素雰囲気中で第 1 の層間絶縁膜 17 を 700℃ の温度で 30 分間熱処理する。その後、第 1 の層間絶縁膜 17 を化学的機械研磨 (Chemical Mechanical Polishing : 以下、CMP という) 法により研磨して第 1 の層間絶縁膜 17 上面を平坦化する。次に、図 2 に示す構造を形成するまでの工程を説明する。

【0023】まず、フォトリソグラフィ法により、不純物拡散領域 15a、15b に到達する深さのコンタクトホール 17a ~ 17d と、配線 14 に到達する深さのビアホール 17e をそれぞれ第 1 の層間絶縁膜 17 に形成する。その後、第 1 の層間絶縁膜 17 上面とホール 17a ~ 17e 内面に膜厚 20 nm の Ti (チタン) 薄膜と膜厚 50 nm の TiN (チタンナイトライド) 薄膜をスパッタ法により順に形成する。さらに、CVD 法によりタングステン (W) を TiN 薄膜上に成長する。この結果、コンタクトホール 17a ~ 17d、ビアホール 17e 内にタングステン膜が埋め込まれる。

【0024】その後、第 1 の層間絶縁膜 17 上面が露出するまでタングステン膜、TiN 薄膜及び Ti 薄膜を CMP 法により研磨する。この研磨後にホール 17a ~ 17e 内に残存するタングステン膜等は、不純物拡散領域 15a、15b と配線 14 に後述の配線を電氣的接続するためのプラグ 18a ~ 18e として使用される。メモリセル領域 1 の 1 つの p ウェル 12a において 2 つのゲート電極 13a、13b に挟まれる n 型不純物拡散領域 15a 上の第 1 のプラグ 18a は後述するビット線に接続され、さらに、残り 2 つの第 2 のプラグ 18b は後述するキャパシタに接続される。

【0025】なお、コンタクトホール 17a ~ 17d、ビアホール 17e を形成した後に、コンタクト補償のために不純物拡散領域 15a、15b に不純物をイオン注入してもよい。次に、図 3 に示すように、プラグ 18a ~ 18e の酸化を防止するために、シラン (SiH_4) を用

いるプラズマ CVD 法により、第 1 の層間絶縁膜 17 上とプラグ 18a ~ 18e 上に SiON (絶縁膜) 膜 21 を 100 nm の厚さに形成し、さらに、反応ガスとして TEOS と酸素を用いるプラズマ CVD 法により SiO_2 膜 22 を 150 nm の厚さに形成する。なお、 SiON 膜 21 は、第 1 の層間絶縁膜 17 への水の侵入を防止するために形成される。

【0026】その後、 SiON 膜 21、 SiO_2 膜 22 の緻密化のために、それらの膜を常圧の窒素雰囲気中で温度 650℃ で 30 分間熱処理する。なお、TEOS ガスを用いてプラズマ CVD 法により形成された第 1 の層間絶縁膜 17 と SiO_2 膜 22 はそれぞれ 650 ~ 700℃ の温度で加熱されるが、その下にはアルミニウムのような融点の低い金属膜が存在しないので、その程度の温度の加熱による悪影響は発生しない。

【0027】次に、図 4 に示すように、DC (Direct Current) スパッタ法により SiO_2 膜 22 上に、Ti 及び Pt (白金) を順次堆積させて二層構造の第 1 の導電膜 23a を形成する。この場合、Ti 膜の厚さを 10 ~ 30 nm 程度、Pt 膜の厚さを 100 ~ 300 nm 程度とする。例えば、Ti 膜の厚さを 20 nm、Pt 膜の厚さを 175 nm とする。なお、第 1 の導電膜 23a として、イリジウム、ルテニウム、酸化ルテニウム、酸化イリジウム、酸化ルテニウムストロンチウム (SrRuO_3) 等の膜を形成してもよい。

【0028】続いて、RF (Radio Frequency) スパッタ法により、第 1 の導電膜 23a の上に強誘電体材料であるチタン酸ジルコン酸鉛 (PZT ; $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$) を 100 ~ 300 nm の厚さに堆積させて PZT 膜 24a を形成する。例えば、PZT 膜 24a の厚さを 240 nm とする。そして、PZT 膜 24a の結晶化処理として、酸素雰囲気中で温度 650 ~ 850℃、30 ~ 120 秒間の条件で RTA (Rapid Thermal Annealing) を行う。例えば、温度 750℃ で 60 秒間アニールする。

【0029】強誘電体材料膜の形成方法としては、上記したスパッタ法の他にスピノン法、ゾルーゲル法、MOD (Metal Organic Deposition) 法、MOCVD 法がある。また、強誘電体材料としては PZT の他に、ジルコン酸チタン酸ランタン鉛 (PLZT)、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ (但し、 $0 < x < 1$)、 $\text{Bi}_4\text{Ti}_2\text{O}_{12}$ などがある。更に、DRAM を形成する場合には、上記の強誘電体材料に代えて (BaSr) TiO_3 (BST)、チタン酸ストロンチウム (STO) 等の高誘電体材料を使用すればよい。

【0030】そのような PZT 膜 24a を形成した後に、その上に第 2 の導電膜 25a として Pt 膜を DC スパッタ法により 100 ~ 300 nm の厚さに形成する。例えば、第 2 の導電膜 25a の厚さを 200 nm とする。なお、第 2 の導電膜 25a として、酸化イリジウム (IrO_2) 膜もしくは酸化ルテニウムストロンチウム (SRO)

をスパッタ法により形成してもよい。

【0031】次に、第2の導電膜25a、PZT膜24a及び第1の導電膜23aをフォトリソグラフィ法により順次パターニングすることにより、それらの膜から図5に示すような所定形状のキャパシタを形成する。ここで、第2の導電膜25aは上部電極25となり、PZT膜24aは誘電体膜24となり、第1の導電膜23aは下部電極23となる。そして、上部電極25、誘電体膜24及び下部電極23によりキャパシタQが構成される。キャパシタQは、1つのpウェル12a内に形成されたMOSトランジスタと同じ数だけpウェル12aの周囲に形成される。

【0032】ところで、第2の導電膜25aをパターニングして上部電極25を形成した後は、キャパシタQのダメージ除去のために回復アニールを施す。具体的には、酸素雰囲気中にシリコン基板10を置いて、キャパシタQを500～700℃の温度で30～120分間加熱する。例えば、温度650℃で60分間加熱する回復アニールを実施するものとする。また、第1の導電膜23aをパターニングして下部電極23を形成した後に

【0033】以上のような工程を経てキャパシタQを形成した後に、図6に示すように、全面にTEOS膜及びSOG膜からなる2層構造の第2の層間絶縁膜26を形成し、この第2の層間絶縁膜26によりキャパシタQを覆う。そのTEOS膜は、TEOSガスを用いるプラズマCVD法により、成長温度が390℃、パワーが400Wの条件でシリコン基板10の上側全面に100～300nmの厚さで形成される。また、SOG膜は、TEOS膜上にSOG溶液を80～200nmの厚さに塗布した後に、これを加熱することにより形成される。この例では、TEOS膜の厚さが200nm、SOG(Spin-On-Glass)膜の厚さが100nmであるとする。ここで、SOG膜は塗布性絶縁膜であるので、その表面の凹凸差は小さくなる。

【0034】なお、SOG膜はエッチバックで除去してもよい。この場合には、TEOS膜の膜厚を500nm、SOG膜の膜厚を100nmとする。そして、フォトリソグラフィ法により第2の層間絶縁膜26をパターニングして、キャパシタQの上部電極25の上にコンタクトホール26aを形成する。その後、誘電体膜24に対して回復アニールを実施する。具体的には、酸素雰囲気中で500～650℃の温度で30～120分間加熱する。この例では、550℃の温度で60分間加熱するものとする。

【0035】次に、第2の層間絶縁膜26、SiON膜21、SiO₂膜22をフォトリソグラフィ法によりパターニングして、メモリセル領域1の第2のプラグ18bの上にコンタクトホール26bを形成して第2のプラグ18bを露出させる。そして、第2の層間絶縁膜26上とコ

ンタクトホール26a、26b内に、膜厚100nmのTiN膜をスパッタ法により形成する。続いて、そのTiN膜をフォトリソグラフィ法でパターニングすることにより、メモリセル領域1においてコンタクトホール26a、26bを通してpウェル12a上の第2のプラグ18bとキャパシタ上部電極25とを電気的接続するための局所配線(ローカル配線)27を形成する。

【0036】次に、図7に示すような構造を形成するまでの工程を説明する。まず、局所配線27と第2の層間絶縁膜26の上に、プラズマCVD法によりTEOS膜を200～400nm、例えば300nmの厚さに形成する。このTEOS膜は第3の層間絶縁膜31として使用される。なお、その上の第3の絶縁膜31の上面の凹凸差は、その下の第2の層間絶縁膜26の上面の凹凸差を反映し、研磨を必要とするほどの大きさではない。

【0037】続いて、メモリセル領域1における第3の層間絶縁膜31からその下方のSiON膜21までをフォトリソグラフィ法によりパターニングすることにより、pウェル12aの中央位置の第1のプラグ18aの上にコンタクトホール31aを形成するとともに、周辺回路領域2の各プラグ18c～18e上にもコンタクトホール31c～31eを形成する。

【0038】さらに、第3の層間絶縁膜31の上とコンタクトホール31c～31eの中にTi膜、TiN膜、Al(アルミニウム)膜及びTiN膜の4層を順次積層し、これらの金属膜をパターニングすることにより、メモリセル領域1でビット線32aを形成するとともに、周辺回路領域2では配線32c～32eを形成する。これらのビット線32a、配線32c～32eは、一層目のアルミニウム配線となる。

【0039】なお、メモリセル領域1のビット線32aは第1のプラグ18aに接続され、また、周辺回路領域2の配線32c～32eは各プラグ18c～18eに接続される。ビット線32a、配線32c～32eを構成する各金属膜の膜厚として例えば最下層のTi膜を20nmの厚さ、下側のTiN膜を50nmの厚さ、Al膜を500nmの厚さ、上側のTiN膜を100nmの厚さとする。

【0040】次に、図8に示すように、TEOSガスと酸素(O₂)ガスを使用するプラズマCVD法により、2.0μmの厚さのSiO₂からなる第4の層間絶縁膜33を第3の層間絶縁膜31、ビット線32a及び配線32c～32eの上に形成する。そのプラズマCVDに使用する装置は、シリコン基板10を載せる第1電極とこれに対向する第2の電極が配置されるチャンバを有するとともに、第2の電極に高周波電力を印加し、第1の電極を定電圧とする単周波印加構造を有している。このときの成膜条件は、成長温度を400℃以下、例えば390℃とし、圧力を1.2Paとする。また、高周波電力の周波数を13.56MHz、そのパワーを400Wとする。な

お、TEOSガスに対する酸素の流量比を例えば1程度とする。これらの条件によれば、成膜中にキャパシタQを構成する強誘電体材料を殆ど劣化しないし、ビット線32a及び配線32c~32eに悪影響を与えることもない。

【0041】ところで、TEOSガスと酸素ガスを使用するプラズマCVD法により形成された第4の層間絶縁膜33は等方的に成長するために、第4の層間絶縁膜33の上面形状はその下のビット線32aや配線32c~32e等の一層目のアルミニウム配線の形状の影響を受け易くなる。従って、第4の層間絶縁膜33であるTEOS膜の上に二層目のアルミニウム配線を形成しようとすると、二層目のアルミニウム配線のパターンニング精度が低下したり、断線が発生し易くなる等の問題がある。

【0042】そこで、第4の層間絶縁膜33であるTEOS膜の上面を平坦化するために、図9に示すように、その上面をCMP法により研磨する工程を採用する。その研磨量は、最上面から約1.0 μ mの厚さ相当程度とする。ところで、第4の層間絶縁膜33をCMP法により研磨した後に、後述するように第4の層間絶縁膜33を加熱すると、その加熱によりキャパシタQの分極電荷量が小さくなることが実験により明らかになった。

【0043】これは、CMP法による平坦化の際に使用されるスラリー中の水分や、その後の洗浄時に使用される洗浄液中の水分が、第4の層間絶縁膜33であるTEOS膜の表面に付着したりその内部に吸収され、その下方のキャパシタQまで達し、その水分が加熱によってキャパシタQを劣化させるからである。即ち、第4の層間絶縁膜33の研磨後にキャパシタQが高温で加熱されることにより、キャパシタ誘電体膜24を構成する強誘電体材料が層間絶縁膜中の水分により還元されて強誘電性が失われ、或いは、強誘電体材料と電極の界面が水分により劣化されるためであると考えられる。特に、第4の層間絶縁膜33が後述する金属膜に覆われた状態で第4の層間絶縁膜33、第3の層間絶縁膜31が加熱されると、第4の層間絶縁膜33に吸収された水分は、外部に放出されにくくなって、ビット配線32aの間の隙間を通過して第3の層間絶縁膜31内に浸透してキャパシタQの周囲に到達することになり、水分によるキャパシタQの劣化が進むことになる。

【0044】そこで、研磨時に第4の層間絶縁膜33内に入り込んだ水分やその表面に付着している水分を除去してキャパシタQの劣化を防止するために、図10に示すように第4の層間絶縁膜33に対してプラズマアニールによる脱水処理を施す。即ち、第4の層間絶縁膜33をCMP法により平坦化した後に、シリコン基板10をプラズマ発生装置（不図示）のチャンバ内に載置し、そのチャンバ内でN₂Oガスを700sccm、N₂ガスを200sccmの流量で供給し、これらのガスをプラズマ化して、基板温度を450℃以下、例えば350℃として3分間

以上、好ましくは4分以上の時間で第4の層間絶縁膜33をプラズマに曝す。これにより、第4の層間絶縁膜33内の水分が外部に放出されるとともに、第4の層間絶縁膜33の少なくとも表面には、窒素(N)原子が入り込んでSiONが形成され、その後に水分が入り難い状態となる。

【0045】プラズマを使用しない熱処理を用いてN原子でプラズマTEOS膜を窒化しようとする、使用されるN₂分子が不活性なため、1000℃以上の熱処理が必要である。また、より活性なアンモニア(NH₃)分子を用いる場合でも、750℃以上の熱処理が必要であり、下層のアルミニウム配線層が溶融してしまう問題が生じる。効果的に、プラズマTEOS膜を窒化しようとするれば、プラズマアニールが最も有効である。

【0046】そのプラズマアニールは、450℃以下の温度で行っている、その下方でアルミニウムから形成された一層目のアルミニウム配線32a、32c~32eに悪影響を与えることはない。ところで、特開平10-83990号公報（米国特許6017784）では、TEOSガスを使用して酸化シリコン膜を形成した後にN₂又はN₂Oのプラズマ処理によって酸化シリコン膜中の水素を脱ガスすることが記載されている。このプラズマ処理は、研磨された酸化シリコン膜に対して行われるものではなく、しかも、強誘電体キャパシタを覆っている酸化シリコン膜に対して行われるものではない。

【0047】これに対して、本発明の実施形態では、TEOSを用いて形成されたSiO₂からなる第4の層間絶縁膜33の表面を研磨した後に、第4の層間絶縁膜33をプラズマアニールしているのであり、その研磨処理工程で侵入した水分を除去するためにN₂Oプラズマアニールが有効であることについては、上記文献には記載がない。また、本実施形態では、上記した条件のプラズマアニールを経ても強誘電体又は高誘電体キャパシタQの特性が良好に維持されることを明らかにしている。

【0048】以上のようなプラズマアニール処理を終えた後に、図11に示すように、再堆積層間絶縁膜34としてTEOS膜を層間絶縁膜33の上に100nm以上の厚さ、例えば200nmの厚さに形成する。再堆積層間絶縁膜34は、次に述べるように第4の層間絶縁膜33の研磨面に現れる空洞を覆うために形成される。再堆積層間絶縁膜34はキャップ層として作用し、層間絶縁膜33の再吸湿を防止するという効果もある。再堆積層間絶縁膜33の最適膜厚については後述する。

【0049】なお、再堆積層間絶縁膜34をN₂Oプラズマアニールしてもよい。ところで上記したように、第4の層間絶縁膜33の研磨面にはキーホールやスリットと呼ばれる空洞（ス、ボイドともいう）が現れることがあるが、これは次のような理由による。プラズマCVD法によりTEOS膜を形成すると、そのTEOS膜は等方的に成長してその膜厚が2.0 μ m程度の厚さになる

と、一層目のアルミニウム配線間、即ちメモリセル領域 1 のビット線 3 2 a 相互間や周辺回路領域 2 の一層目のアルミニウム配線 3 2 c ~ 3 2 e の相互間で空洞が発生し易くなる。

【0050】ところで、図 1 7 (a) に示すように、ビット線 3 2 a はキャパシタ Q によって持ち上げられているので、ビット線 3 2 a 間に発生する空洞 3 3 u は、他の領域で発生する空洞 3 3 u よりも高い位置に形成されることになる。従って、TEOS 膜からなる第 4 の層間絶縁膜 3 3 を研磨した後は、図 1 7 (b) に示すように、メモリセル領域 1 に存在する空洞 3 3 u が研磨面から露出し易くなる。

【0051】なお、図 1 7 (a) は、図 8 の I-I 断面図、図 1 7 (b) は図 9 の II-II 線断面図であり、図中符号 3 2 f、3 2 g は、それぞれ一層目のアルミニウム配線を示している。そのように、メモリセル領域 1 において第 4 の層間絶縁膜 3 3 上から露出する空洞 3 3 u は、ビット線 3 2 a の間に沿って溝状に表出するので、その空洞 3 3 u が露出した状態で第 4 の層間絶縁膜 3 3 の上に直に配線形成用金属膜を形成すると、その金属膜が空洞 3 3 u 内に埋め込まれることになり、金属膜をパターニングして配線を形成した後でも、空洞 3 3 u 内の金属膜が除去されずに残ってしまう。その空洞 3 3 u 内の金属膜は、これと同じ金属膜から形成された配線同士を短絡させる媒体になるので、空洞 3 3 u 内に金属膜を予め形成しないようにする必要がある。

【0052】本実施形態では、図 1 1 に示したように、第 4 の層間絶縁膜 3 3 を研磨した後に、再堆積層間絶縁膜 3 4 で第 4 の層間絶縁膜 3 3 の研磨面を覆うようにしているので、第 4 の層間絶縁膜 3 4 の研磨面から露出した空洞 3 3 u 内には金属膜が形成されないことになる。なお、図 1 1 の III-III 線断面を示すと図 1 8 (a) のようになる。

【0053】図 1 9 (a) は、再堆積層間絶縁膜 3 4 がない場合の第 4 の層間絶縁膜 3 3 とその下の構造を示す断面図であり、図 1 9 (b) は、第 4 の層間絶縁膜 3 3 の上に再堆積層間絶縁膜 3 4 を形成した状態を示す断面図である。なお、図 1 9 (a)、(b) は、FeRAM のメモリセル領域の断面写真に基づいて描かれている。以上のような再堆積層間絶縁膜 3 4 を形成した後に、図 1 2 ~ 図 1 6 に示すように、二層目のアルミニウム配線を形成する工程に移る。

【0054】まず、図 1 2 に示すように、フォトリソグラフィ法により再堆積層間絶縁膜 3 4 及び第 4 の層間絶縁膜 3 3 をパターニングして、一層目のアルミニウム配線、例えば周辺回路領域 2 の配線 3 2 d に到達するビアホール 3 3 a を形成する。その後、ビアホール 3 3 a を通してその下の配線 3 2 d の表面を所定量、例えば 3 5 nm の深さでエッチングする。

【0055】続いて、図 1 3 に示すように、ビアホール

3 3 a の内面と再堆積層間絶縁膜 3 4 の上面に、膜厚 2 0 nm の Ti 膜と膜厚 5 0 nm の TiN 膜をスパッタリングにより順次形成し、それらの膜をグルーレイヤ 3 5 a とする。なお、図 1 8 (b) は、図 1 3 の IV-IV 線断面図である。その後、六フッ化タングステン (WF₆) ガスとシラン (SiH₄) ガスを使用して CVD 法によりグルーレイヤ 3 5 a の上にタングステンシード (不図示) を形成する。さらに、WF₆ ガスとシラン (SiH₄) ガスに水素 (H₂) ガスを加えて、成長温度を 4 3 0 °C としてグルーレイヤ 3 5 a 上にタングステン膜 3 5 b を形成する。これにより、図 1 4 に示すように、ビアホール 3 3 a 内には、グルーレイヤ 3 5 a とタングステン膜 3 5 b が充填される。

【0056】その後、再堆積層間絶縁膜 3 4 上面上のタングステン膜 3 5 b を CMP 法又はエッチバックにより除去して、ビアホール 3 3 a 内にはのみ残存させる。このとき、再堆積層間絶縁膜 3 4 上のグルーレイヤ 3 5 a は除去しても、しなくてもよい。図 1 5 ではグルーレイヤ 3 5 a を再堆積層間絶縁膜 3 4 上面から CMP 法により除去した場合を示している。

【0057】これにより、配線 3 2 d と上層配線とを電氣的に接続するためのビア (プラグ) 3 5 がビアホール 3 3 a 内に形成される。ところで、上記した第 4 の層間絶縁膜 3 3 の研磨面から現れる空洞 3 3 u の幅は、CMP 法による研磨のばらつきなどによって均一とはならない。空洞 3 3 u の露出幅がばらつくと、次のような問題が発生する。

【0058】即ち、図 2 0 (a) に示すように、第 4 の層間絶縁膜 3 3 上から露出した空洞 3 3 u の上に薄い再堆積層間絶縁膜 3 4 を形成すると、図 2 0 (b) に示すように、空洞 3 3 u が再堆積層間絶縁膜 3 4 によって完全に覆われずにその一部が露出することがある。そして、そのような状態で、図 2 0 (c) に示すように、上記したグルーレイヤ 3 5 a を形成すると、グルーレイヤ 3 5 a が空洞 3 3 u の上で段切れを起こしてスリットが形成されるおそれがあり、そのスリットが存在すると、タングステン膜 3 5 b を形成する際に使用する反応ガス中の水素が図 2 0 (d) に示すように、そのスリットを通してその下の第 4 の層間絶縁膜 3 3 に入ってしまう。第 4 の層間絶縁膜 3 3 中に侵入した水素は、キャパシタ Q を還元してキャパシタ特性を劣化させるので好ましくない。

【0059】そこで、第 4 の層間絶縁膜 3 3 から露出した空洞 3 3 u を確実に覆うためには再堆積層間絶縁膜 3 4 が少なくとも 3 0 0 nm 以上の膜厚が必要であることが実験結果から明らかになった。ところで、空洞 3 3 u 内にグルーレイヤ 3 5 a やタングステン膜 3 5 b が充填されることを防止するために、再堆積層間絶縁膜 3 4 の膜厚がどの程度必要かを調査したところ、図 2 1 のような結果が得られた。図 2 1 の縦軸は、配線間のリークが発生する頻度を示し、その横軸はリーク電流値を示して

いる。図 21 の結果によれば、再堆積層間絶縁膜 34 の膜厚が 50 nm では配線間のリークの頻度が大きく、その膜厚を増やすに従って配線間リーク頻度が減少し、100 nm でほぼ配線間ショートを防止できることがわかった。従って、空洞 33u の露出による配線間のリークを低減するためには再堆積層間絶縁膜 34 の膜厚が少なくとも 100 nm あることが望ましい。

【0060】一方、再堆積層間絶縁膜 34 の上にグルーレイヤ 35a、タングステン膜 35b を形成し、これをパターニングしてプラグ 35 を形成し、その上に後述す *10

第 2 層間絶縁膜厚	分極電荷量 (Q _{sw})	
	プロセスアウト後	ベーク後
0 nm	24.2 $\mu\text{C}/\text{cm}^2$	11.4 $\mu\text{C}/\text{cm}^2$
100 nm	25.1 $\mu\text{C}/\text{cm}^2$	17.5 $\mu\text{C}/\text{cm}^2$
300 nm	25.3 $\mu\text{C}/\text{cm}^2$	22.6 $\mu\text{C}/\text{cm}^2$

表 1 によれば、加速試験前の状態では、再堆積層間絶縁膜が厚い方が分極電荷量が僅かに大きくなっている。しかし、加熱後は、試料間の分極電荷量の差が顕著になる。とくに、再堆積層間絶縁膜 34 が 0 nm の場合、即ち再堆積層間絶縁膜 34 を形成しないときには、分極電荷量が加熱後に半分以下に減り、強誘電体キャパシタ Q は著しく特性が劣化する。また、再堆積層間絶縁膜 34 が 300 nm の時は、強誘電体キャパシタ Q の劣化は軽度であり、加熱後の分極電荷量は 22.6 $\mu\text{C}/\text{cm}^2$ となって、FeRAM を正常に動作させるためには十分な値となっている。

【0062】なお、再堆積層間絶縁膜 34 の 300 nm という膜厚は、空洞 33u の露出する部分のばらつきを考慮して決定されるのである。ところで、再堆積層間絶縁膜 34 が厚すぎると、ビアホール 33a のアスペクト比が増大してビアホール 33a 内でグルーレイヤ 35a やタングステン膜 35b のカバレッジが悪くなる。即ち、再堆積層間絶縁膜 34 の膜厚の上限値は、ビアホール 33a のアスペクト比から決定される。例えば、ビアホール 33a のアスペクト比を 2.3 とする場合に、ビアホール 33a の直径を 0.6 μm 、第 4 の層間絶縁膜 33 の厚さを 1.0 μm とすれば、再堆積層間絶縁膜 34 の膜厚は約 0.4 μm (400 nm) 必要となる。

【0063】以上のような工程によって再堆積層間絶縁膜 34、ビア 35 を形成する工程を終えた後に、再堆積層間絶縁膜 34 の上に第 1 の TiN 膜を 50 nm、Al 膜を 500 nm、第 2 の TiN 膜を 50 nm の厚さに順次形成し、これらの膜をパターニングすることにより、配線 36 を形成する。なお、再堆積層間絶縁膜 34 上面にグルーレイヤ 35a を残す場合には、第 1 の TiN 膜の形成を省略してグルーレイヤ 35a の上にアルミニウム膜と第 2 の TiN 膜を形成することになる。

* 二層目のアルミニウム配線を形成し、さらに、二層目のアルミニウム配線を絶縁膜で覆うといった一連の工程を終えた後に、再堆積層間絶縁膜 34 の膜厚と加速試験によるキャパシタ分極電荷量の変化の関係を調査したところ、次の表 1 に示すような結果が得られた。なお、加速試験は、大気中で温度 200℃ で 1 時間、基板を加熱して行われた。

【0061】

【表 1】

【0064】次に、第 1 及び第 2 の TiN 膜と Al 膜、又は、第 2 の TiN 膜と Al 膜とグルーレイヤをフォトリソグラフィ法によりパターニングすることにより、図 16 に示すように、二層目のアルミニウム配線 36 を再堆積層間絶縁膜 34 の上に形成する。その後、TEOS を用いるプラズマ CVD 法により、二層目のアルミニウム配線 36 と再堆積層間絶縁膜 34 の上に、第 1 のカバー絶縁膜 37 として SiO₂ 膜を 200 nm の厚さに形成する。さらに、第 1 のカバー絶縁膜 37 の上に、プラズマ CVD 法により SiN よりなる第 2 のカバー絶縁膜 38 を 500 nm の厚さに形成する。これらの第 1 及び第 2 のカバー膜 37、38 により二層目の配線 36 が被覆される。

【0065】二層目のアルミニウム配線 36 が形成された後のメモリセル領域 1 における各種導電パターンの平面的な位置関係は図 22 のようになる。なお、図 22 中で素子分離絶縁膜 11 以外の絶縁膜は省略されている。以上のような工程により、キャパシタ誘電体膜 24 として強誘電体を用いた FeRAM の基本的な構造が完成する。

【0066】本実施の形態においては、キャパシタ Q と一層目のアルミニウム配線 32a、32c~32e を覆う第 4 の層間絶縁膜 33 の上面を CMP 法で平坦化している。これにより、キャパシタ Q と配線 32a の上に形成した層間絶縁膜 33 のさらに上で平坦に形成される二層目のアルミニウム配線 36 のパターン精度を良好にすることができる。

【0067】また、層間絶縁膜 33 を研磨した後に、N₂O プラズマアニールを施して層間絶縁膜 33 中の水分を除去しているので、その後の工程において加熱されても、強誘電体膜 (キャパシタ誘電体膜 24) の還元、劣化が回避される。これにより、良好な特性の FeRAM を製造できる。しかも、N₂O プラズマアニールを 450

℃以下で行っているのので、一層目のアルミニウム配線を劣化させることもない。

【0068】そのようなN₂O プラズマアニール工程を入れてFeRAMを形成した場合と、その工程を省略してFeRAMを形成した場合のキャパシタQの分極電荷量を調べたところ次の表2に示すような結果が得られ、N₂O プラズマアニールがキャパシタの劣化を防止するために有効であることが確かめられた。

【0069】

【表2】

	分極電荷量 (Q _{sw})
N ₂ O プラズマアニール有り	21.3 μC/cm ²
N ₂ O プラズマアニール無し	15.4 μC/cm ²

なお、上記の実施の形態では、N₂O を用いたプラズマアニールにより層間絶縁膜33を脱水処理する場合について説明したが、脱水処理に用いるガスはN₂O に限定されるものではなく、例えばN₂ガス、O₂ガス又はNOガスをを用いたプラズマアニールでも同様の効果が得られる。また、プラズマアニールに使用するガスは、N₂O + N₂、N₂ + O₂等の混合ガスでもよい。さらに、そのような単体ガス又は混合ガスに、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)の不活性ガスを混合してプラズマ化してもよい。

【0070】更にまた、上記の実施の形態では層間絶縁膜33に対し脱水処理を施した後、再堆積層間絶縁膜34を形成したが、CMP研磨後の層間絶縁膜33の上に再堆積層間絶縁膜34を形成し、その後脱水処理を施してもよい。上記の実施の形態のように再堆積層間絶縁膜34を薄く形成する場合は再堆積層間絶縁膜34中に含まれる水分量が極めて少ないが、再堆積層間絶縁膜34を厚く形成する場合は再堆積層間絶縁膜34中に含まれる水分によりキャパシタ誘電体膜が還元されてしまうおそれがある。これを防止するために、再堆積層間絶縁膜34を形成した後、N₂O 又はNOを用いるプラズマアニールによる脱水処理を実施してもよい。但し、この場合、再堆積層間絶縁膜34をプラズマCVD法により酸化シリコン (SiON) 膜又はプラズマCVD法により窒化シリコン (SiN) 膜で形成すると、これらの膜は水分を通しにくいので、第4の層間絶縁膜33中の水分を十分に除去することができなくなる。このため、再堆積層間絶縁膜34を形成した後にプラズマアニールを施す場合は、再堆積層間絶縁膜34をプラズマTEOS膜、O₃-TEOS膜、又はプラズマSiO₂膜により形成することが好ましい。

【0071】即ち、再堆積層間絶縁膜34としては、上述したプラズマCVD法により形成したTEOS膜 (P-TEOS膜) に代えて、熱CVD法でオゾン (O₃) とTEOSとを用いて形成したTEOS (O₃-TEOS)

膜、プラズマCVD法により形成したSiO₂ (P-SiO₂) 膜、ノンバイアスのHDP (High Density Plasma) -CVDにより形成したSiO₂膜、プラズマCVD法により形成したSiON (P-SiON) 膜及びプラズマCVD法により形成したSiN (P-SiN) 膜などを使用してもよい。但し、O₃-TEOS膜は、水分含有量がP-TEOS膜に比べて多いので、本実施形態ではP-TEOS膜を用いている。また、SiON膜及びSiN 膜は水分の透過性が低いので、これらの膜を再堆積層間絶縁膜34として使用する場合は、第4の層間絶縁膜33を脱水処理した後、再堆積層間絶縁膜34を形成することが必要である。

【0072】図23は、横軸にP-TEOS膜に対するプラズマアニール処理時間を取り、縦軸に分極電荷量 (Q_{sw}) をとって、分極電荷量の脱水処理時間依存性を示す図である。但し、プラズマアニールの条件は、温度が350℃、プラズマに印加するパワーが300W、N₂O の流量が700sccm、N₂ガスの流量が200sccmである。分極電荷量Q_{sw}の値が大きいほど、分極特性が良好であるといえる。

【0073】図23からわかるように、プラズマアニールの処理時間を3分以上とすることにより、十分な特性を得ることができる。強誘電体膜の初期状態における分極電荷量は約28 μC/cm² であり、約4分間のプラズマアニールにより初期状態の分極電荷量まで回復させることができる。上記した実施形態では、第4の層間絶縁膜33として、TEOSガスをを用いるプラズマCVD法により形成したSiO₂膜 (P-TEOS) を用いたが、その他に、熱CVD法でO₃とTEOSとを用いて形成したTEOS (O₃-TEOS) 膜、プラズマCVD法により形成したSiO₂ (P-SiO₂) 膜などで形成してもよい。O₃-TEOS膜は、P-TEOS膜よりも成長速度が遅いが、その膜内に空洞は生じない。

【0074】また、上記した実施形態では、FeRAM及びその形成工程について説明したが、高誘電体キャパシタを有する揮発性メモリ (DRAM) についても、水分と加熱によって高誘電体材料の絶縁性が劣化したり、高誘電体材料膜と電極との界面が劣化し易くなる。そこで、上記したと同様に、高誘電体キャパシタの上に形成される絶縁膜の上面をCMP法により平坦化した後に、その表面をN₂O、NO等のガスをを用いてその絶縁膜の脱水処理をしたり、あるいは、そのような脱水処理後、又は脱水処理前に平坦化された面の上にP-TEOSを用いて再堆積層間絶縁膜を形成してもよい。高誘電体材料として、(BaSr)TiO₃などの高誘電体材料を使用すればよい。

【0075】また、本発明は、強誘電体不揮発性半導体メモリ又は高誘電体半導体メモリとロジックデバイスとを混載したいわゆるシステムLSIの製造に適用することもできる。

【0076】

【発明の効果】以上述べたように本発明によれば、キャパシタとその上を通る配線のさらに上に形成された絶縁膜を研磨して平坦化するようにしたので、その絶縁膜の平坦面の上に配線を精度良く形成することが容易になる。また、研磨された絶縁膜に対し N_2O 又は NO を含むプラズマアニールによる脱水処理を施すようにしたので、その絶縁膜の表面に付着している水分、及び絶縁膜中に侵入している水分をより確実に除去することができ、キャパシタを構成する強誘電体材料又は高誘電体材料の還元や、キャパシタ劣化を防止できる。従って、強誘電体材料又は高誘電体材料の誘電特性の劣化を回避でき、良好な特性のFeRAM又はDRAMを製造することができる。

【図面の簡単な説明】

【図1】図1は、発明の実施の形態の半導体装置の製造方法を示す断面図（その1）である。

【図2】図2は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その2）である。

【図3】図3は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その3）である。

【図4】図4は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その4）である。

【図5】図5は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その5）である。

【図6】図6は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その6）である。

【図7】図7は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その7）である。

【図8】図8は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その8）である。

【図9】図9は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その9）である。

【図10】図10は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その10）である。

【図11】図11は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その11）である。

【図12】図12は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その12）である。

【図13】図13は、本発明の実施の形態の半導体装置

の製造方法を示す断面図（その13）である。

【図14】図14は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その14）である。

【図15】図15は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その15）である。

【図16】図16は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その16）である。

【図17】図17(a)は図8のI-I線断面図、図17(b)は図9のII-II線断面図である。

【図18】図18(a)は図11のIII-III線断面図、図18(b)は図13のIV-IV線断面図である。

【図19】図19(a)は、図17(b)の断面を撮影した写真に基づいて描いた断面図であり、図19(b)は、図18(a)の断面を撮影した写真に基づいて描いた断面図である。

【図20】図20(a)～(d)は、図17(b)に示した空洞が絶縁膜によって十分埋め込まれない工程を示す断面図である。

【図21】図21は、本発明の実施形態に係る半導体装置のメモリセルに使用されるキャパシタのリーク電流と累積確率の関係を示す図であって、累積確率を示す縦軸とリーク電流量を示す横軸は対数目盛で示される。

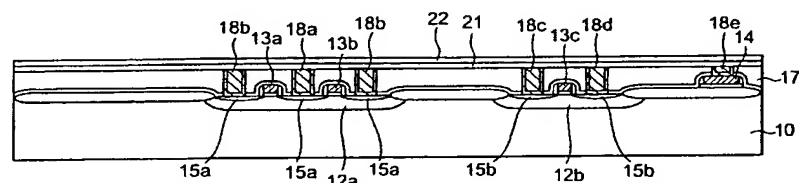
【図22】図22は、本発明の実施形態に係る半導体装置のメモリセル領域の導電パターンの配置を示す平面図である。

【図23】図23は、本発明の実施形態に係る半導体装置に形成されたキャパシタの分極電荷量の脱水処理時間依存性を示す図である。

【符号の説明】

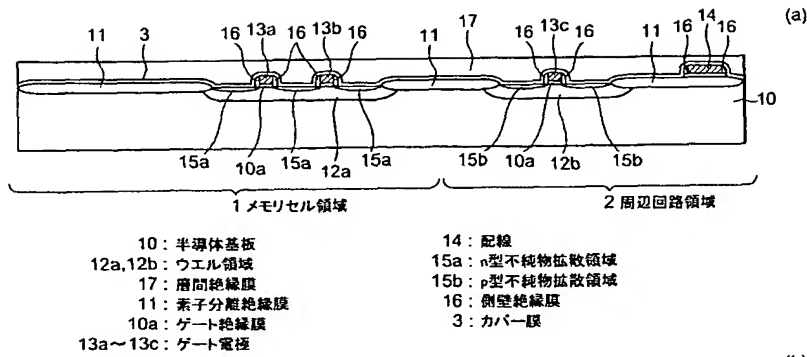
10…半導体基板、11…素子分離絶縁膜、12a、12b…ウェル領域、13a、13b、13c…ゲート電極、15a、15b…不純物拡散領域、16…サイドウォール、17、26、31、33…層間絶縁膜、18…プラグ、21… SiON 膜、22… SiO_2 膜、23…下部電極、24…誘電体膜、25…上部電極、27…局所配線、32a…ビット線、32b～32g…配線、34…再堆積層間絶縁膜、35a…グレーレイヤ、35b…タングステン膜、35…プラグ、36…アルミニウム配線、37、38…カバー膜。

【図3】

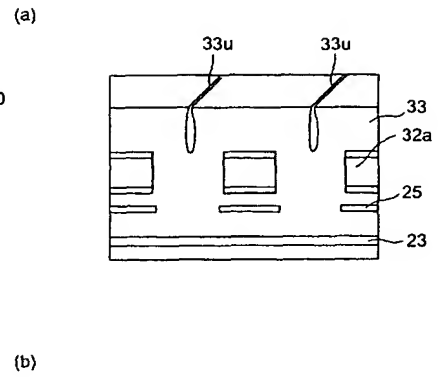


21: SiON 膜
22: SiO_2 膜

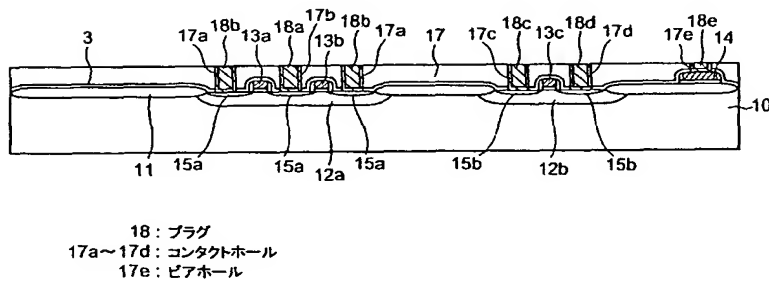
【図1】



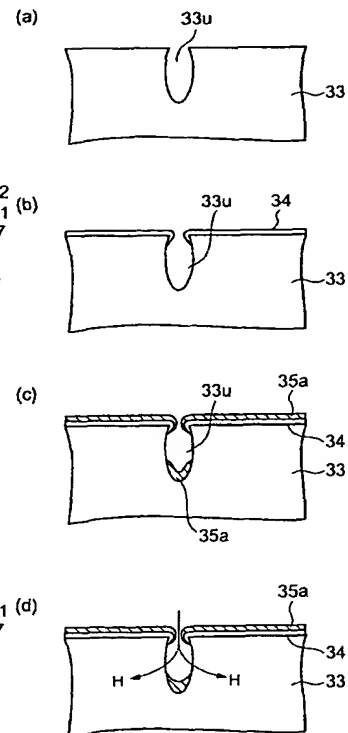
【図19】



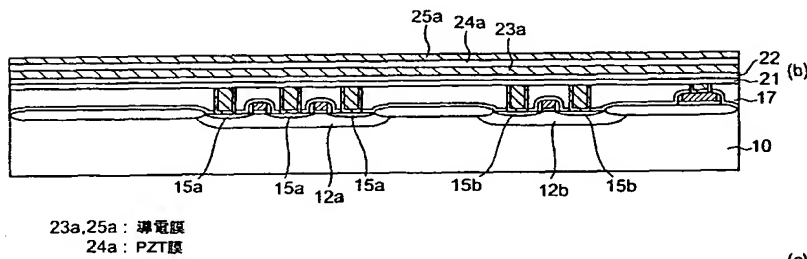
【図2】



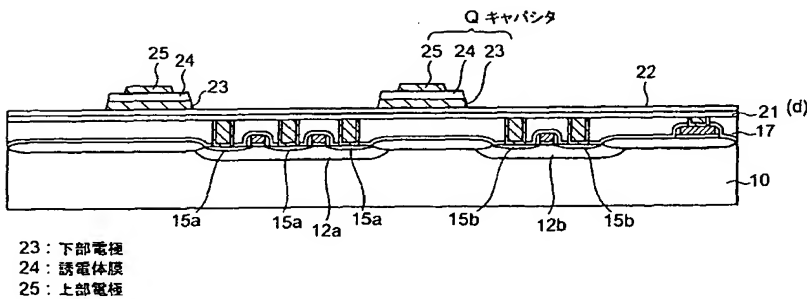
【図20】



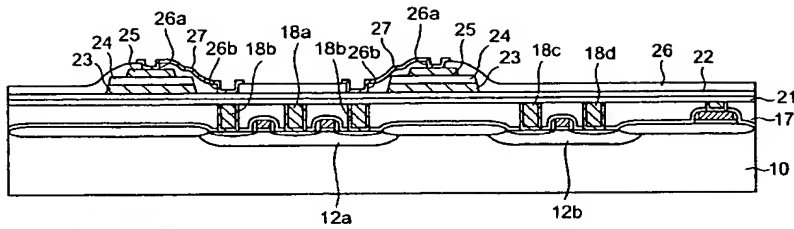
【図4】



【図5】

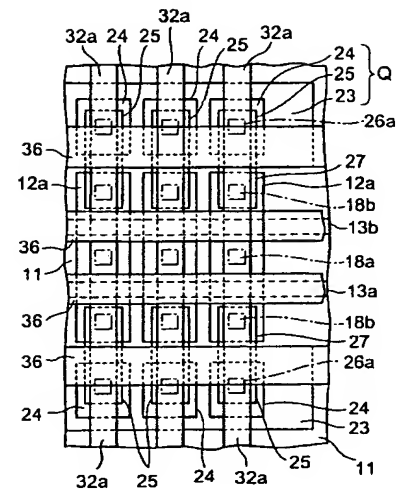


【図 6】

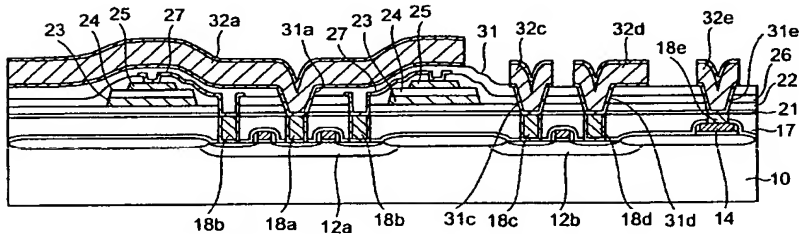


26: 層間絶縁膜
27: 局所配線
26a, 26b: コンタクトホール

【図 22】

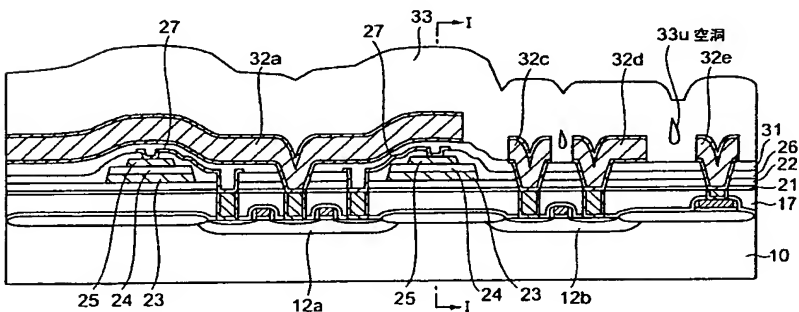


【図 7】



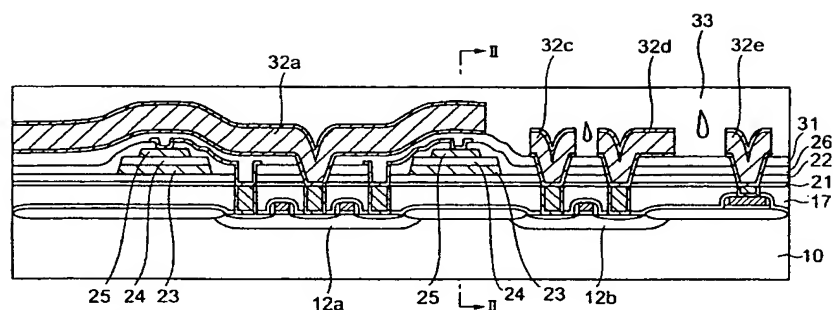
31: 層間絶縁膜
32: 配線
31a, 31c~31e: コンタクトホール

【図 8】



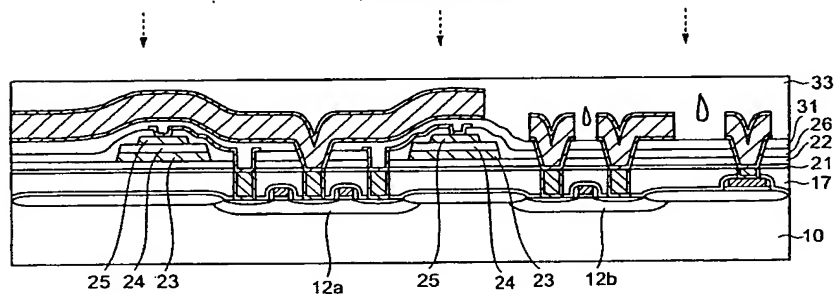
33: 層間絶縁膜

【図 9】



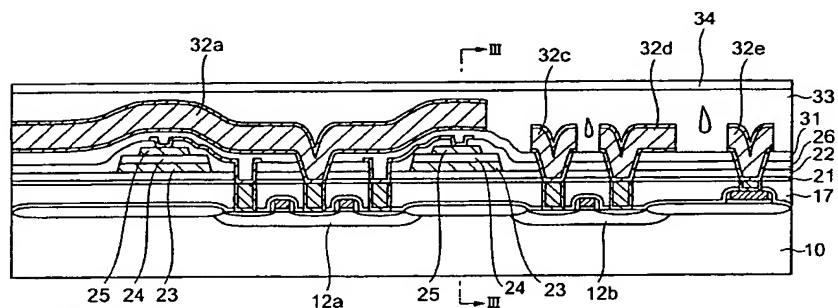
33: 層間絶縁膜

【図 10】

 $(N_2O+N_2)O_2$ プラズマ

33: 層間絶縁膜

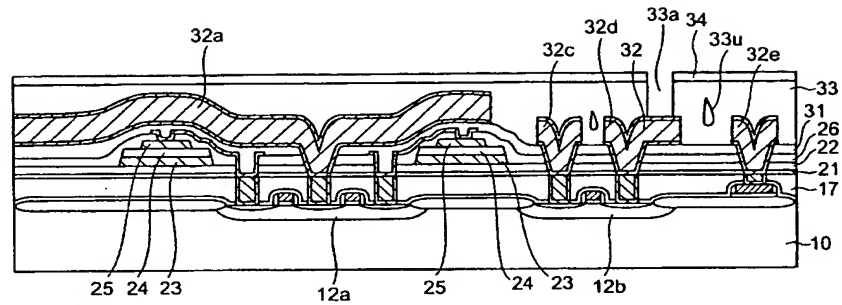
【図 11】



33: 層間絶縁膜

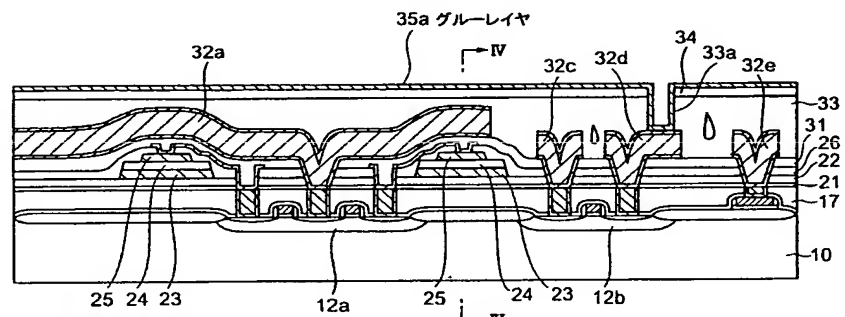
34: 再堆積層間絶縁膜

【図 12】



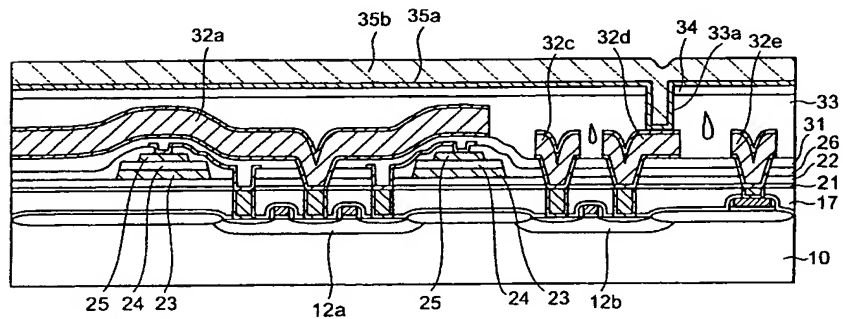
33: 層間絶縁膜
34: 再堆積層間絶縁膜

【図 13】



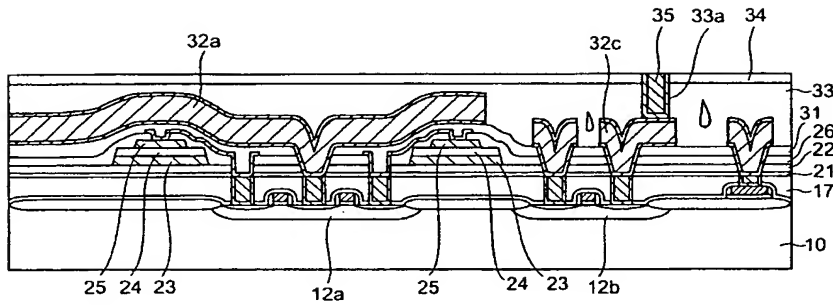
33: 層間絶縁膜
34: 再堆積層間絶縁膜

【図 14】



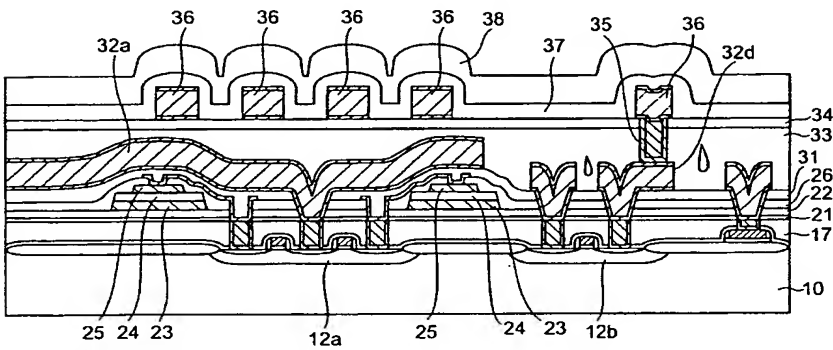
33: 層間絶縁膜
34: 再堆積層間絶縁膜
35b: タングステン膜

【図15】



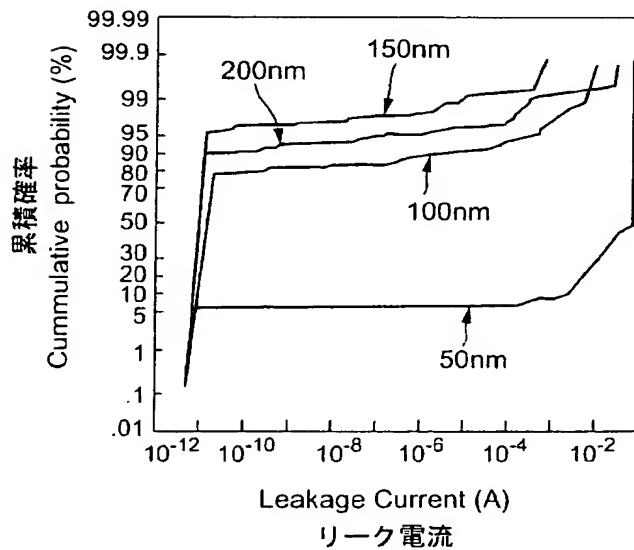
35: プラグ

【図16】

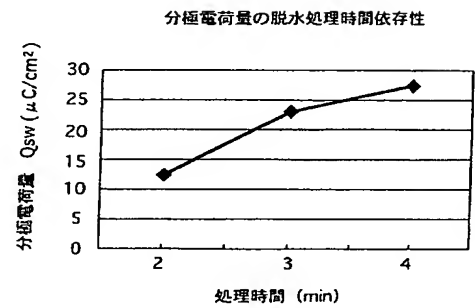


36: 配線
 37: カバー-TEOS膜
 38: カバー-SiN膜

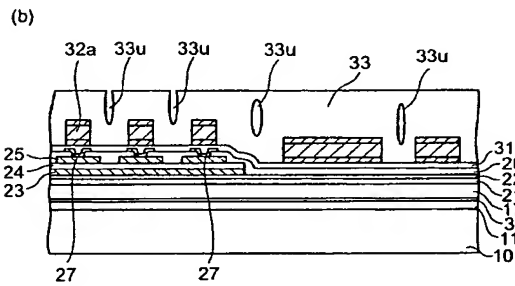
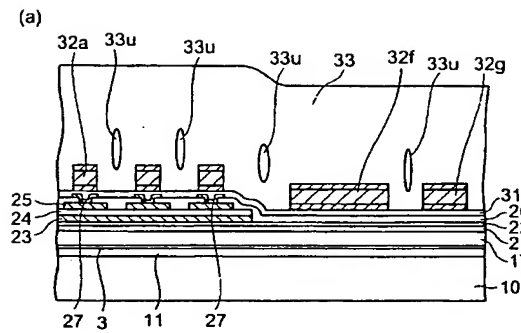
【図21】



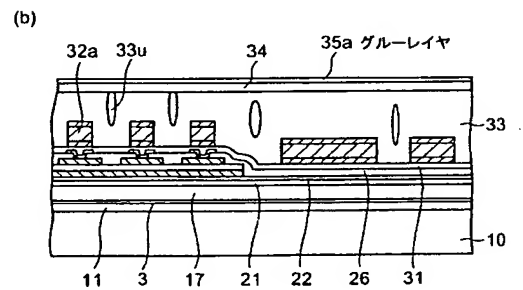
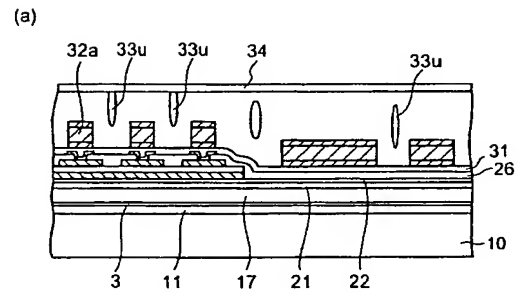
【図23】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl.⁷

H01L 21/8242

識別記号

FI

H01L 21/90

27/10

テマコード* (参考)

P

621Z

681F

